
产品说明书

12832-3 (带中文字库)

目 录

- (一) 概述
- (二) 外形尺寸
- (三) 模块主要硬件构成说明
- (四) 模块的外部接口
- (五) 指令说明
- (六) 读写操作时序
- (七) 附录

一、概述

12832-3 是一种内置 8192 个 16*16 点汉字库和 128 个 16*8 点 ASCII 字符集图形点阵液晶显示器,它主要由行驱动器/列驱动器及 128×32 全点阵液晶显示器组成。可完成图形显示,也可以显示 8×2 个(16×16 点阵)汉字.与外部 CPU 接口采用并行或串行方式控制。

主要技术参数和性能:

1. 电源:VDD: 5V。(电源低于 4.0 伏 LED 背光需另外供电)
2. 显示内容:128(列)×32(行)点。
3. 全屏幕点阵。
4. 2M ROM(CGROM) 总共提供 8192 个汉字(16×16 点阵)。
5. 16K ROM(HCGROM) 总共提供 128 个字符(16×8 点阵)。
6. 2MHZ 频率。
7. 工作温度: -20℃ ∞ +70℃

二、外形尺寸图

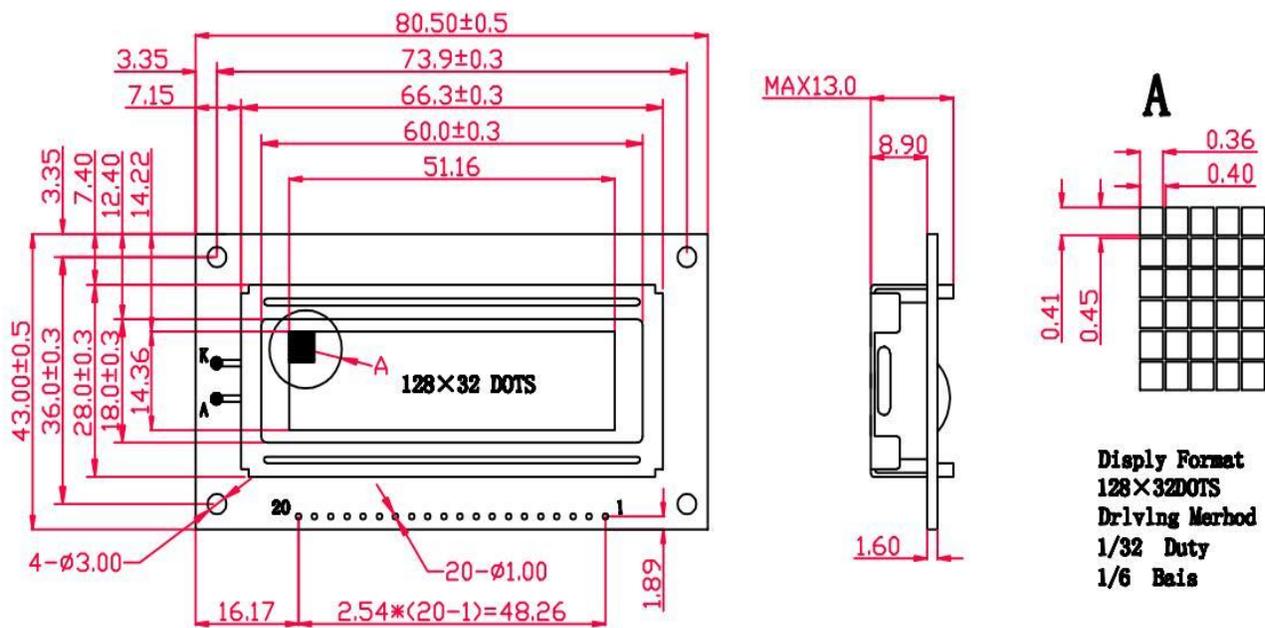


图 1

2. 外形尺寸图

表 1

项目	正常尺寸	单位
模块体积	84.5×43×13	mm
视域	60×18.0	mm
行列点阵数	128×32	DOTS
点距离	0.36×0.41	mm
点大小	0.40×0.45	mm

三. 模块主要硬件构成说明

控制器接口信号说明:

1、RS, R/W 的配合选择决定控制界面的 4 种模式:

RS	R/W	功能说明
L	L	MPU 写指令到指令暂存器 (IR)
L	H	读出忙标志 (BF) 及地址计数器 (AC) 的状态
H	L	MPU 写入数据到数据暂存器 (DR)
H	H	MPU 从数据暂存器 (DR) 中读出数据

2、E 信号

E 状态	执行动作	结果	
高→低	I/O 缓冲→DR	配合/R/W 进行写数据或指令	

高	DR——>I/O 缓冲	配合 R 进行读数据或指令	
低/低——>高	无动作		

● **忙标志:BF**

BF 标志提供内部工作情况.BF=1 表示模块在进行内部操作,此时模块不接受外部指令和数据.BF=0 时,模块为准备状态,随时可接受外部指令和数据.

利用 STATUS RD 指令,可以将 BF 读到 DB7 总线,从而检验模块之工作状态.

● **字型产生 ROM (CGROM)**

字型产生 ROM (CGROM) 提供 8192 个此触发器是用于模块屏幕显示开和关的控制.DFF=1 为开显示 (DISPLAY ON),DDRAM 的内容就显示在屏幕上, DFF=0 为关显示 (DISPLAY OFF)。

DFF 的状态是指令 DISPLAY ON/OFF 和 RST 信号控制的。

● **显示数据 RAM (DDRAM)**

模块内部显示数据 RAM 提供 64×2 个位元组的空间,最多可控制 4 行 16 字 (64 个字) 的中文字型显示 (本模块只用到其中的 8 *2 个),当写入显示数据 RAM 时,可分别显示 CGROM 与 CGRAM 的字型;此模块可显示三种字型,分别是瘦长的英数字型(16*8)、CGRAM 字型及 CGROM 的中文字型,三种字型的选择,由在 DDRAM 中写入的编码选择,在 00~0F 的编码中将选择 CGRAM 的字定义字型,10~7F 的编码中将选择

瘦长英数字的字型,至于 A0 以上的编码将自动的结合下一个位元组,组成两个位元组的编码形成中文字型的编码 (A140~D75F)。

● **字型产生 RAM (CGRAM)**

字型产生 RAM 提供图象定义(造字)功能,可以提供四组 16×16 点的自定义图象空间,使用者可以将内部字型没有提供的图象字型自行定义到 CGRAM 中,便可和 CGROM 中的定义一般的通过 DDRAM 显示在荧屏中。

● **地址计数器 AC**

地址计数器是用来贮存 DDRAM/CGRAM 之一的地址,它可由设定指令暂存器来改变,之后只要读取或是写入 DDRAM/CGRAM 的值时,地址计数器的值就会自动加一,当 RS 为“0”时而 R/W 为“1”时,地址计数器的值会被读取到 DB6~DB0 中。

● **游标/闪烁控制电路**

此模块提供硬体游标及闪烁控制电路,由地址计数器的值来指定 DDRAM 中的游标或闪烁位置。

四、模块的外部接口

外部接口信号如下表 2、3 所示 (并行接口):

表 2

PIN	SYMBOL	DESCRIPTION(定义描述)/并口
1	V0	Operating voltage for LCD Driver (对比度调节)
2	VR	Operating voltage for LCD
3	VSS	Power ground (地)
4	VDD	Power positive (逻辑电压)
5	NC	No connection (空脚)
6	RS/CS	Instruction Code/Chip select
7	RW/SID	Read and Write (Paralle)/Data Serial (串口)
8	E/SCLK	Enable trigger. (使能信号)/Serial Clock (串口)
9	DB0	Data bus [0~7]. There state I/O common terminal. (数据线0-7)
16	DB7	
17	PSE	Select Parallel or Serial Mode (选择并口或串口)
18	/RES	Reset Signal (复位)
20	BLK	Power supply for backligh (+) (背光负极)
19	BLA	Power supply for backligh (+) (背光正极)

串口接口管脚信号

表 3

管脚号	名称	LEVER	功能
3	VSS	0V	电源地
4	VDD	+5V	电源正(3.0V~5.5V)
1	VEE	-	对比度调整
8	CLK	H/L	串行同步时钟: 上升沿时读取 SID 数据
7	SID	H/L	串行数据输入端
17	CS	H/L	模组片选端, 高电平有效
19	BL+	VDD	背光源电压+4.2V~+5V
20	BL-	VSS	背光源公共端

五、指令说明

模块控制芯片提供两套控制命令, 基本指令和扩充指令如下:

指令表 1: (RE=0: 基本指令)

指令	指令码										功能
	RS	R/W	D7	D6	D5	D4	D3	D2	D1	D0	
清除显示	0	0	0	0	0	0	0	0	0	1	将 DDRAM 填满"20H", 并且设定 DDRAM 的地址计数器(AC)到"00H"
地址归位	0	0	0	0	0	0	0	0	1	X	设定 DDRAM 的地址计数器(AC)到"00H", 并且将光标移到开头原点位置; 这个指令不改变 DDRAM 的内容
显示状态开/关	0	0	0	0	0	0	1	D	C	B	D=1: 整体显示 ON C=1: 光标 ON B=1: 光标位置反白允许
进入点设定	0	0	0	0	0	0	0	1	I/D	S	指定在数据的读取与写入时, 设定光标的移动方向及指定显示的移位
光标或显示移	0	0	0	0	0	1	S/C	R/L	X	X	设定光标的移动与显示的移位控制位; 这个指令不改变 DDRAM 的内容

位控制											
功能设定	0	0	0	0	1	DL	X	RE	X	X	DL=0/1: 4/8 位数据 RE=1: 扩充指令操作 RE=0: 基本指令操作
设定 CGRAM 地址	0	0	0	1	AC5	AC4	AC3	AC2	AC1	AC0	设定 CGRAM 地址
设定 DDRAM 地址	0	0	1	0	AC5	AC4	AC3	AC2	AC1	AC0	设定 DDRAM 地址 (显示位址) 第一行: 80H—87H 第二行: 90H—97H
读取忙标志和地址	0	1	BF	AC6	AC5	AC4	AC3	AC2	AC1	AC0	读取忙标志 (BF) 可以确认内部动作是否完成, 同时可以读出地址计数器 (AC) 的值
写数据到 RAM	1	0	数据								将数据 D7~D0 写入到内部的 RAM (DDRAM/CGRAM/IRAM/GRAM)
读出 RAM 的值	1	1	数据								从内部 RAM 读取数据 D7~D0 (DDRAM/CGRAM/IRAM/GRAM)

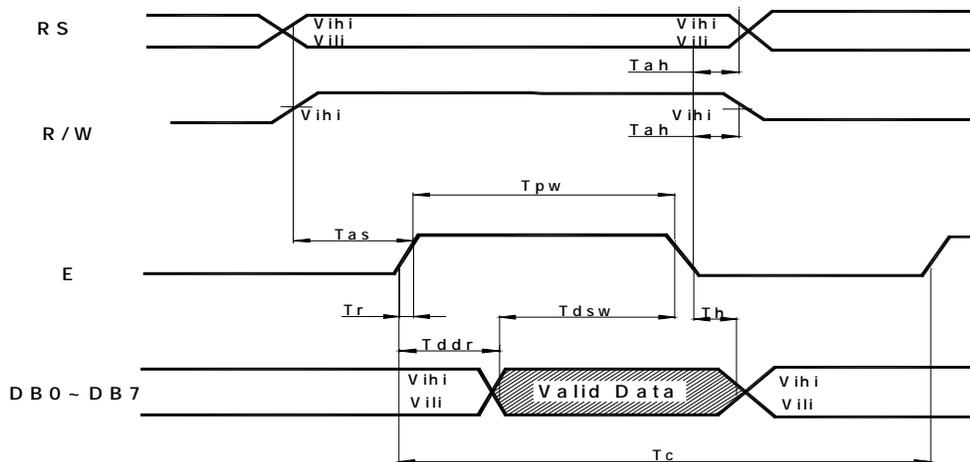
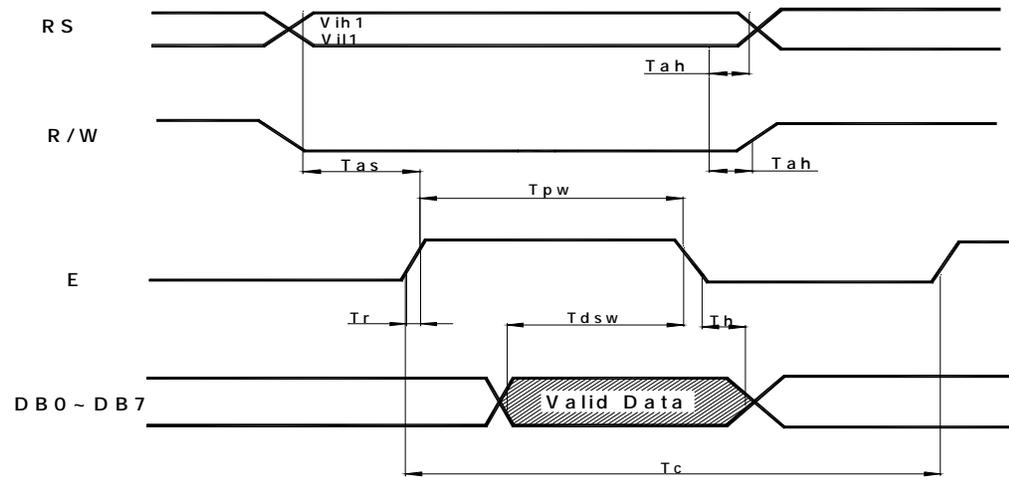
指令表 2: (RE=1: 扩充指令)

指令	指令码										功能
	RS	R/W	D7	D6	D5	D4	D3	D2	D1	D0	
待命模式	0	0	0	0	0	0	0	0	0	1	进入待命模式, 执行其他指令都裸终止待命模式
滚动地址开关开启	0	0	0	0	0	0	0	0	1	SR	SR=1: 允许输入垂直滚动地址 SR=0: 允许输入 IRAM 和 CGRAM 地址
反白选择	0	0	0	0	0	0	0	1	R1	R0	选择 2 行中的任一行作反白显示, 并可决定反白与否。初始值 R1R0=00, 第一次设定为反白显示, 再次设定变回正常
睡眠模式	0	0	0	0	0	0	1	SL	X	X	SL=0: 进入睡眠模式 SL=1: 脱离睡眠模式
扩充功能设定	0	0	0	0	1	CL	X	RE	G	0	CL=0/1: 4/8 位数据 RE=1: 扩充指令操作 RE=0: 基本指令操作 G=1/0: 绘图开关
设定绘图 RAM 地址	0	0	1	0	0	0	AC3	AC2	AC1	AC0	设定绘图 RAM 先设定垂直 (列) 地址 AC6AC5...AC0 再设定水平 (行) 地址 AC3AC2AC1AC0 将以上 16 位地址连续写入即可

备注; 当 IC1 在接受指令前, 微处理器必须先确认其内部处于非忙碌状态, 即读取 BF 标志时, BF 需为零, 方可接受新的指令; 如果在送出一个指令前并不检查 BF 标志, 那么在前一个指令和这个指令中间必须延长一段较长的时间, 即是等待前一个指令确实执行完成。

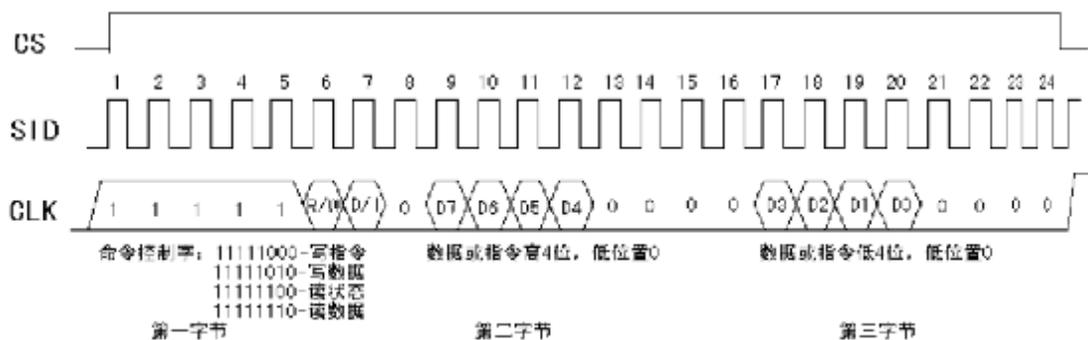
六. 时序图

并口读写时序图:

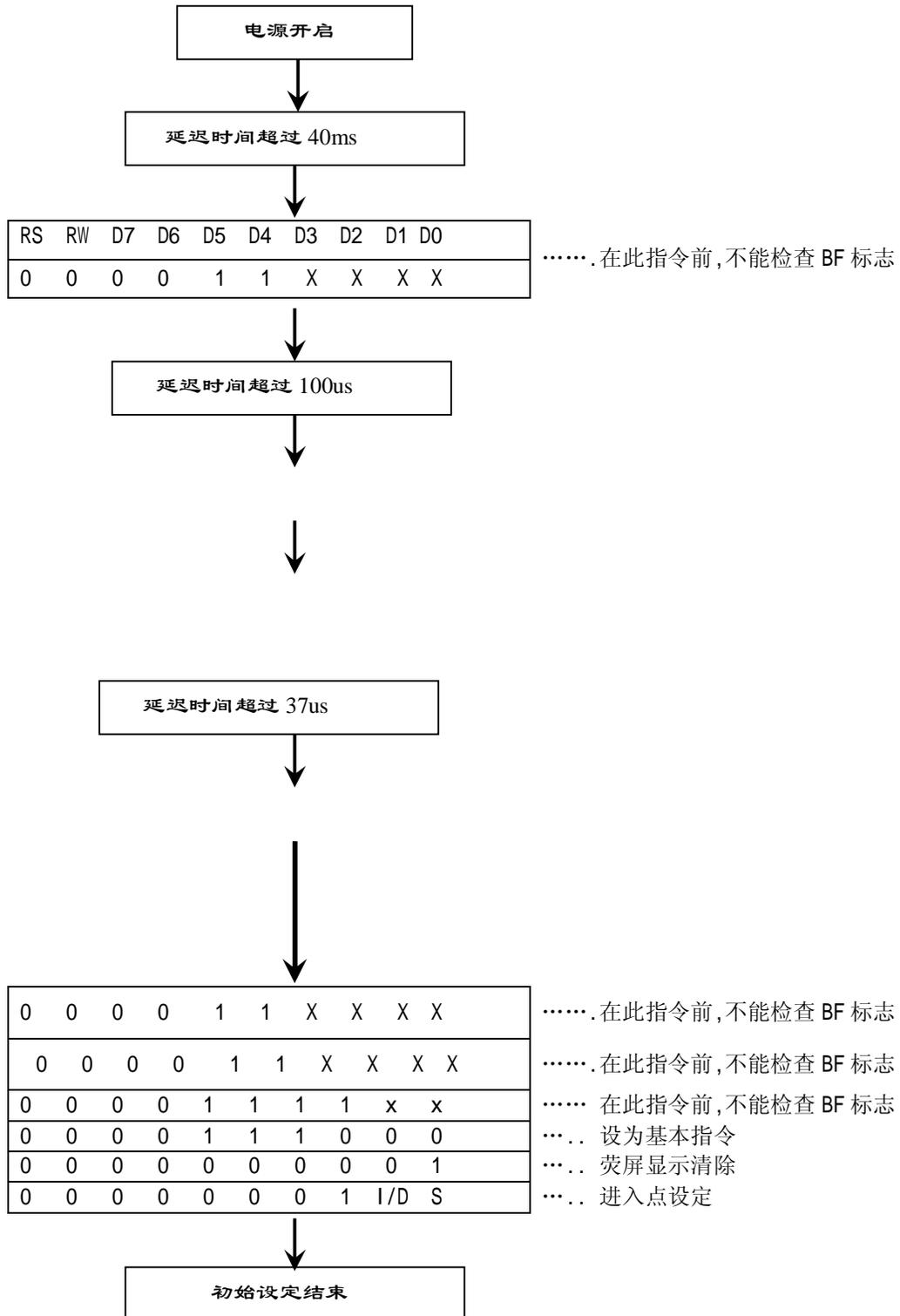


MPU 写数据
MPU 读数据

串口读写时序:



七、软件初始化:



八、附录部分
附录 1: ASCII 码表

☒	☒	☒	♥	♦	♣	♠	•	◦	◉	◊	♂	♀	♫	♫	✳
▶	◀	‡	!!	¶	§	—	‡	†	↓	→	←	└	↔	▲	▼
□	!	"	#	\$	%	&	'	()	*	+	,	-	.	/
Ø	1	2	3	4	5	6	7	8	9	:	:	<	=	>	?
Q	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O
P	Q	R	S	T	U	V	W	X	Y	Z	[\]	^	_
'	a	b	c	d	e	f	g	h	i	j	k	l	m	n	o
p	q	r	s	t	u	v	w	x	y	z	{	}	~	△	

16x8 半寬字型符號表

附录 2: 汉字码址表

