

320240 图形点阵液晶显示模块

# 使用说明书



深圳市科飞研科技有限公司  
深圳市科飞研科技有限公司



深圳市科飞研科技有限公司

# 目录

1、 产品简介 .....	2
2、 引用文件 .....	2
3、 机械特性 .....	2
4、 产品框图 .....	2
5、 光电特性 .....	3
6、 极限参数 .....	3
7、 接口时序 .....	3
8、 直流特性 (VDD=2.84V) .....	9
9、 引脚描述 .....	10
10、 命令描述 .....	11
1、 附录 .....	17

初始化程序参考

模块外形图

## 1、产品简介

主要工艺: COB  
 显示内容: 320X240 点阵  
 显示模式: STN, POSITIVE  
 驱动条件: 1/64Duty, 1/9Bias  
 视向: 6: 00  
 背光: LED, 白色  
 工作温度: -20°C ~ +70°C  
 储存温度: -30°C ~ +80°C  
 驱动 IC: SED1335 or RA8835

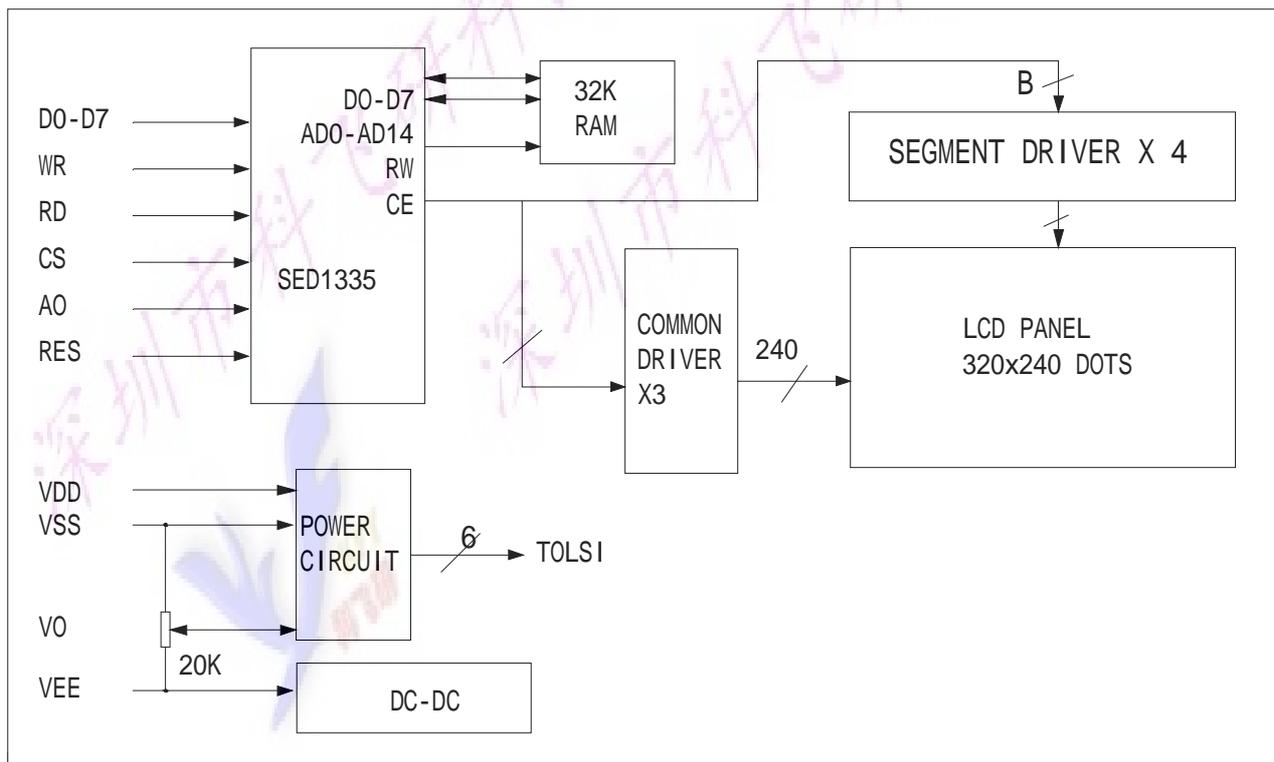
## 2、引用文件

SED1335 规格书

## 3、机械特性

类别	标准值	单位
模块	160.0 (w) X109.0(h)X12.0(t)Max	mm
有效显示区	121.0(w)X92.0(h)	mm
点大小	0.33(w)X0.33(h)	mm
点间隙	0.03(w)X0.03(h)	mm

## 4、产品框图



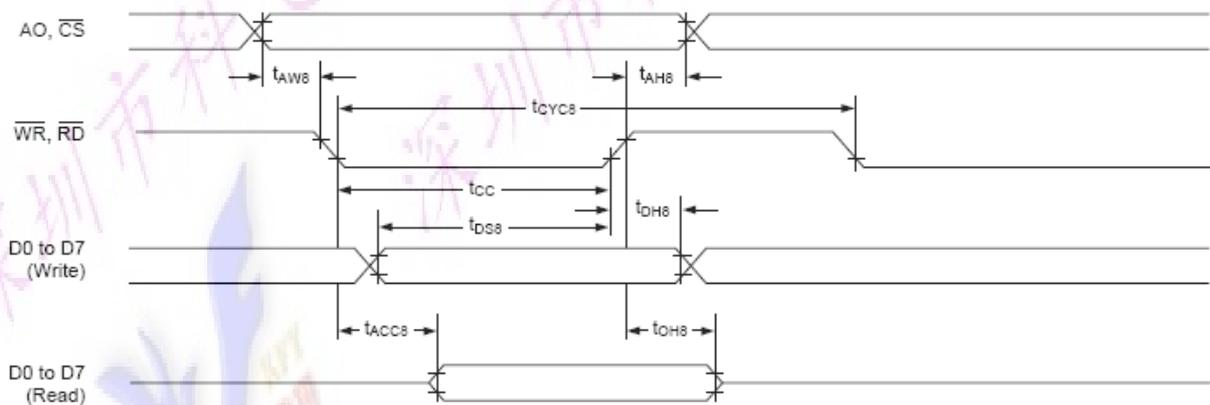
## 5、光电特性

类别	符号	条件	最小值	TYP	最大值	单位
驱动电压	Vop.	25°C	8.8	9.0	9.2	V
响应时间	Ton	25°C	—	127	400	Ms
对比度	Toff	25°C	—	263	400	Ms
	CR	25°C	—	9	—	—
视角范围		25°C	—	88	—	DEG
交叉效应		25°C	—	1.2	—	—

## 6、极限参数

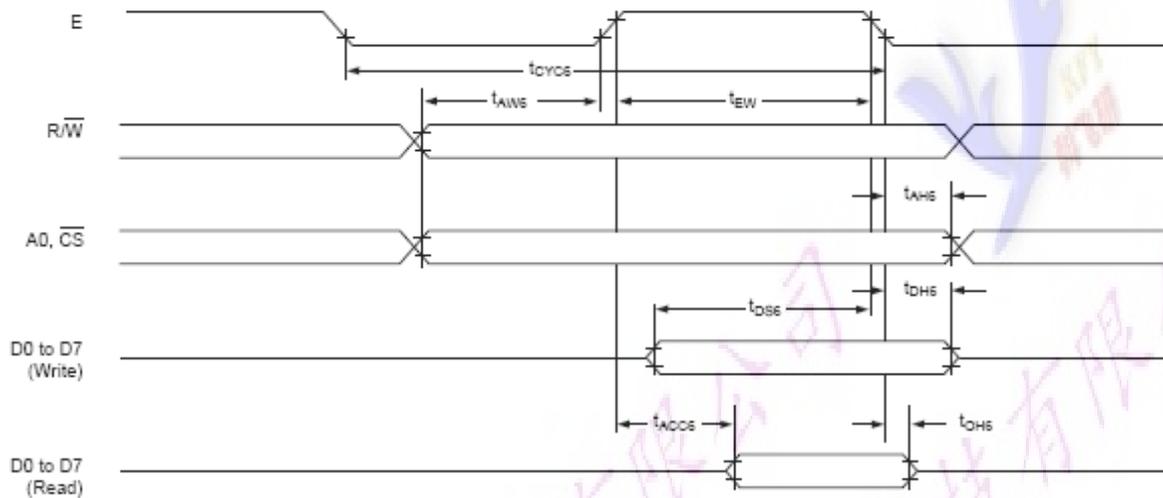
参数	符号	最小值	最大值	单位
逻辑电压	Vdd	-0.3	+7.0	V
驱动电压	Vout, VO	-0.3	-25	V
工作温度	Top	-20	+70	°C
存储温度	Tst	-30	+80	°C

## 7、接口时序



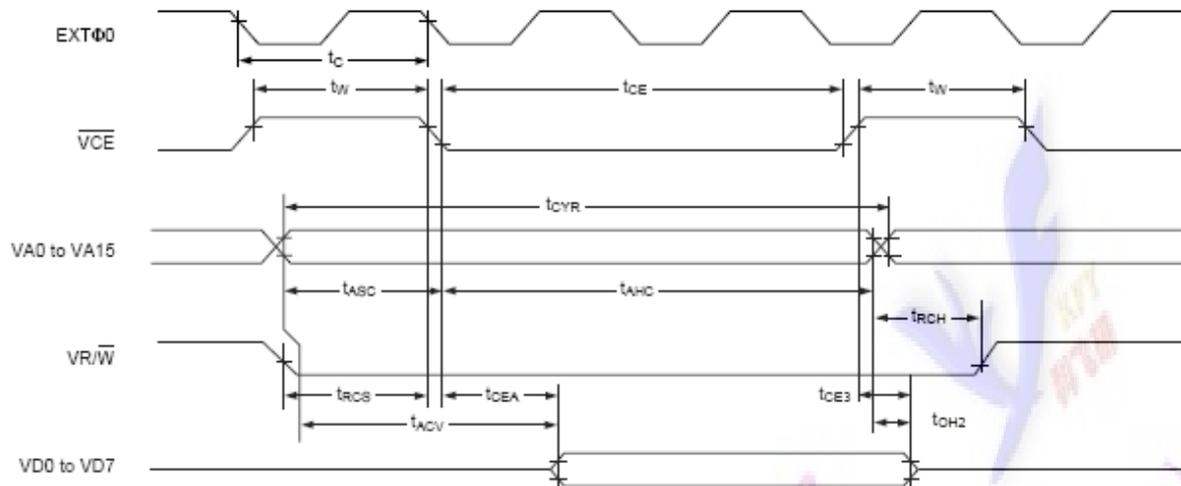
Ta = -20 to 75°C

Signal	Symbol	Parameter	VDD = 4.5 to 5.5V		VDD = 2.7 to 4.5V		Unit	Condition
			min	max	min	max		
A0, $\overline{CS}$	tAH8	Address hold time	10	—	10	—	ns	CL = 100pF
	tAW8	Address setup time	0	—	0	—	ns	
$\overline{WR}$ , $\overline{RD}$	tCYC8	System cycle time	See note.	—	See note.	—	ns	
	tCC	Strobe pulsewidth	120	—	150	—	ns	
D0 to D7	tDS8	Data setup time	120	—	120	—	ns	
	tDH8	Data hold time	5	—	5	—	ns	
	tACC8	$\overline{RD}$ access time	—	50	—	80	ns	
	tOH8	Output disable time	10	50	10	55	ns	



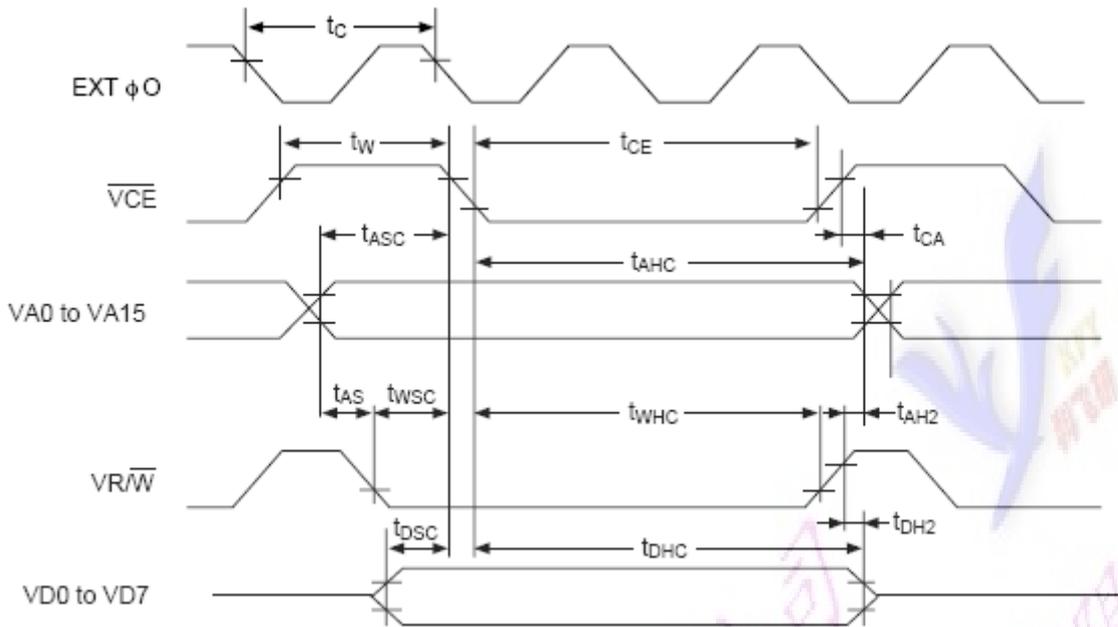
Ta = -20 to 75°C

Signal	Symbol	Parameter	VDD = 4.5 to 5.5V		VDD = 2.7 to 4.5V		Unit	Condition
			min	max	min	max		
A0, $\overline{CS}$ , $\overline{R/W}$	tCYC6	System cycle time	See note.	—	See note.	—	ns	CL = 100 pF
	tAW6	Address setup time	0	—	10	—	ns	
	tAH6	Address hold time	0	—	0	—	ns	
D0 to D7	tDS6	Data setup time	100	—	120	—	ns	
	tDH6	Data hold time	0	—	0	—	ns	
	tOH6	Output disable time	10	50	10	75	ns	
	tACC6	Access time	—	85	—	130	ns	
E	tEW	Enable pulsewidth	120	—	150	—	ns	



$T_a = -20$  to  $75^\circ\text{C}$

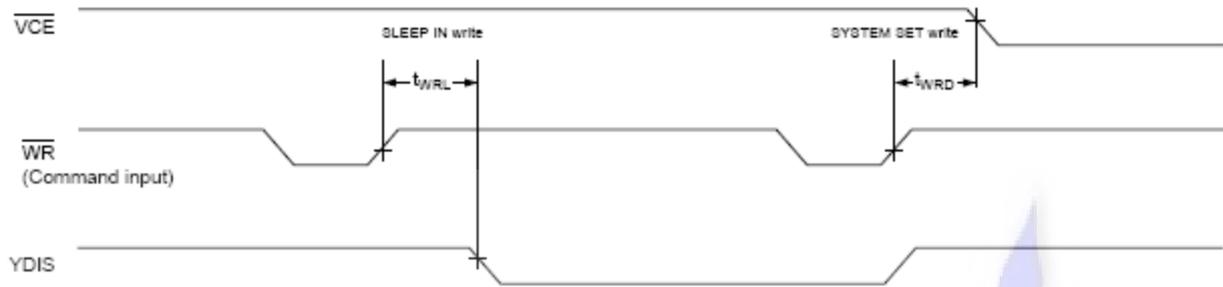
Signal	Symbol	Parameter	VDD = 4.5 to 5.5V		VDD = 2.7 to 4.5V		Unit	Condition
			min	max	min	max		
EXT $\phi 0$	tc	Clock period	100	—	125	—	ns	CL = 100 pF
$\overline{\text{VCE}}$	tw	$\overline{\text{VCE}}$ HIGH-level pulsewidth	tc - 50	—	tc - 50	—	ns	
	tce	$\overline{\text{VCE}}$ LOW-level pulsewidth	2tc - 30	—	2tc - 30	—	ns	
VA0 to VA15	tCYR	Read cycle time	3tc	—	3tc	—	ns	
	tASC	Address setup time to falling edge of $\overline{\text{VCE}}$	tc - 70	—	tc - 100	—	ns	
	tAHC	Address hold time from falling edge of $\overline{\text{VCE}}$	2tc - 30	—	2tc - 40	—	ns	
$\overline{\text{VRD}}$	tRCS	Read cycle setup time to falling edge of $\overline{\text{VCE}}$	tc - 45	—	tc - 60	—	ns	
	tRCH	Read cycle hold time from rising edge of $\overline{\text{VCE}}$	0.5tc	—	0.5tc	—	ns	
VD0 to VD7	tACV	Address access time	—	3tc - 100	—	3tc - 115	ns	
	tCEA	$\overline{\text{VCE}}$ access time	—	2tc - 80	—	2tc - 90	ns	
	tOH2	Output data hold time	0	—	0	—	ns	
	tCE3	$\overline{\text{VCE}}$ to data off time	0	—	0	—	ns	



$T_a = -20$  to  $75^\circ\text{C}$

Signal	Symbol	Parameter	VDD = 4.5 to 5.5V		VDD = 2.7 to 4.5V		Unit	Condition
			min	max	min	max		
EXT $\phi_0$	$t_c$	Clock period	100	—	125	—	ns	CL = 100 pF
$\overline{\text{VCE}}$	$t_w$	$\overline{\text{VCE}}$ HIGH-level pulsewidth	$t_c - 50$	—	$t_c - 50$	—	ns	
	$t_{ce}$	$\overline{\text{VCE}}$ LOW-level pulsewidth	$2t_c - 30$	—	$2t_c - 30$	—	ns	
VA0 to VA15	$t_{CYW}$	Write cycle time	$3t_c$	—	$3t_c$	—	ns	
	$t_{AHC}$	Address hold time from falling edge of $\overline{\text{VCE}}$	$2t_c - 30$	—	$2t_c - 40$	—	ns	
	$t_{ASC}$	Address setup time to falling edge of $\overline{\text{VCE}}$	$t_c - 70$	—	$t_c - 110$	—	ns	
	$t_{CA}$	Address hold time from rising edge of $\overline{\text{VCE}}$	0	—	0	—	ns	
	$t_{AS}$	Address setup time to falling edge of $\overline{\text{VWR}}$	0	—	0	—	ns	
$\overline{\text{VWR}}$	$t_{AH2}$	Address hold time from rising edge of $\overline{\text{VWR}}$	10	—	10	—	ns	
	$t_{WSC}$	Write setup time to falling edge of $\overline{\text{VCE}}$	$t_c - 80$	—	$t_c - 115$	—	ns	
VD0 to VD7	$t_{WHC}$	Write hold time from falling edge of $\overline{\text{VCE}}$	$2t_c - 20$	—	$2t_c - 20$	—	ns	
	$t_{DSC}$	Data input setup time to falling edge of $\overline{\text{VCE}}$	$t_c - 85$	—	$t_c - 125$	—	ns	
	$t_{DHC}$	Data input hold time from falling edge of $\overline{\text{VCE}}$	$2t_c - 30$	—	$2t_c - 30$	—	ns	
	$t_{DH2}$	Data hold time from rising edge of $\overline{\text{VWR}}$	5	50	5	50	ns	

Note: VD0 to VD7 are latching input/outputs. While the bus is high impedance, VD0 to VD7 retain the write data until the data read from the memory is placed on the bus.

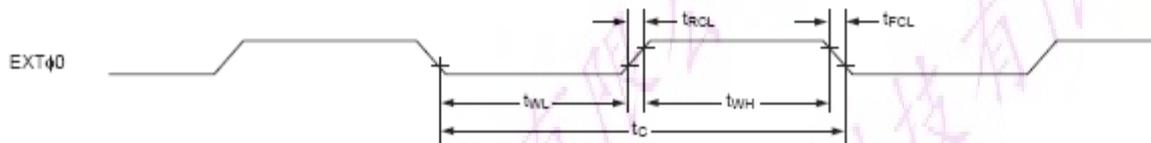


T<sub>a</sub> = -20 to 75°C

Signal	Symbol	Parameter	VDD = 4.5 to 5.5V		VDD = 2.7 to 4.5V		Unit	Condition
			min	max	min	max		
$\overline{\text{WR}}$	t <sub>WRD</sub>	$\overline{\text{VCE}}$ falling-edge delay time	See note 1.	—	See note 1.	—	ns	CL = 100 pF
	t <sub>WRL</sub>	YDIS falling-edge delay time	—	See note 2.	—	See note 2.	ns	

Notes:

1.  $t_{\text{WRD}} = 18t_c + t_{\text{OSS}} + 40$  ( $t_{\text{OSS}}$  is the time delay from the sleep state until stable operation)
2.  $t_{\text{WRL}} = 36t_c \times [\text{TC/R}] \times [\text{L/F}] + 70$

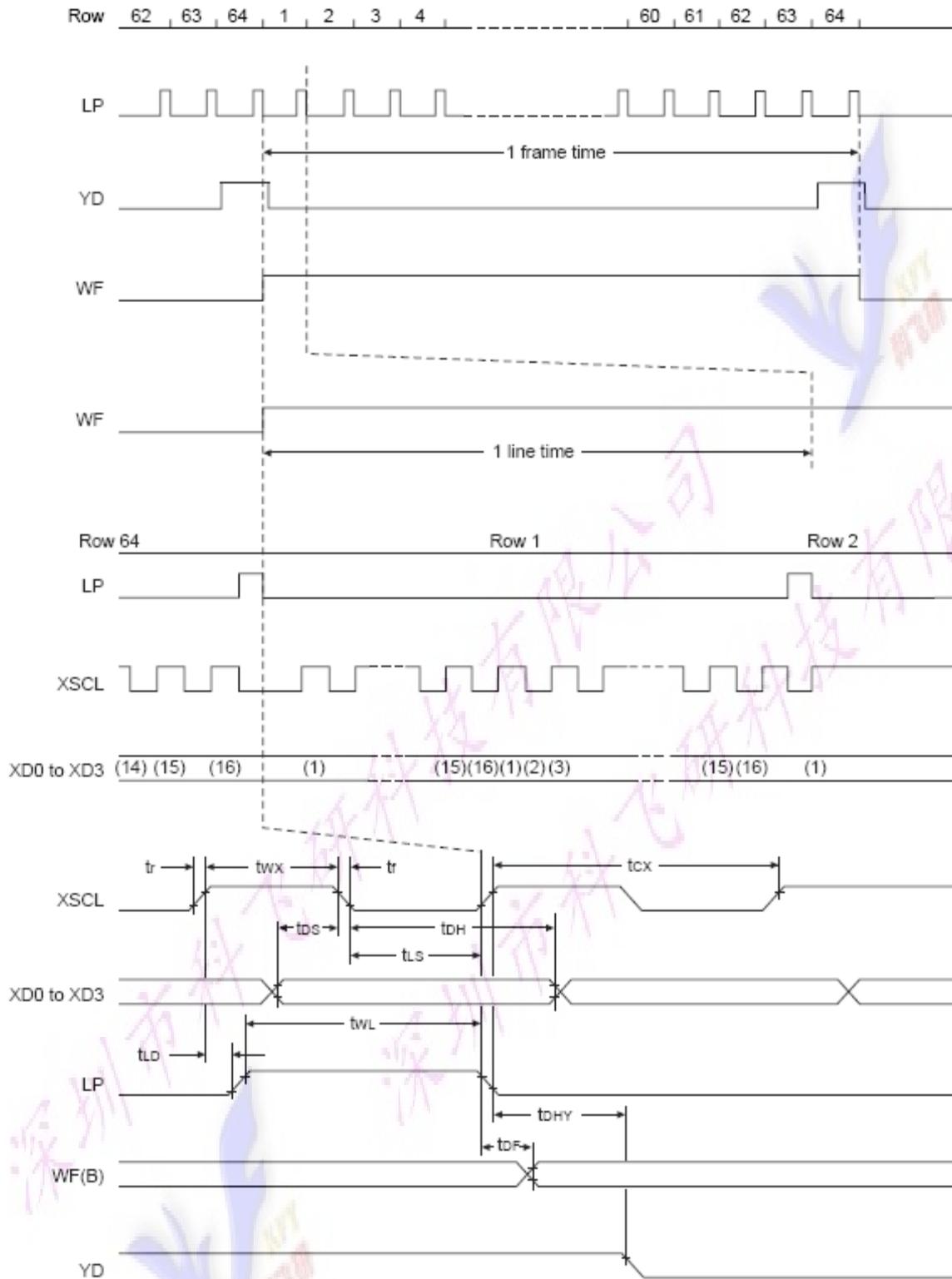


T<sub>a</sub> = -20 to 75°C

Signal	Symbol	Parameter	VDD = 4.5 to 5.5V		VDD = 2.7 to 4.5V		Unit	Condition
			min	max	min	max		
EXT φ0	t <sub>RCL</sub>	External clock rise time	—	15	—	15	ns	
	t <sub>FCL</sub>	External clock fall time	—	15	—	15	ns	
	t <sub>WH</sub>	External clock HIGH-level pulsewidth	See note 1.	See note 2.	See note 1.	See note 2.	ns	
	t <sub>WL</sub>	External clock LOW-level pulsewidth	See note 1.	See note 2.	See note 1.	See note 2.	ns	
	t <sub>c</sub>	External clock period	100	—	125	—	ns	

Notes:

1.  $(t_c - t_{\text{RCL}} - t_{\text{FCL}}) \times \frac{475}{1000} < t_{\text{WH}}, t_{\text{WL}}$
2.  $(t_c - t_{\text{RCL}} - t_{\text{FCL}}) \times \frac{525}{1000} > t_{\text{WH}}, t_{\text{WL}}$



$T_a = -20$  to  $75^\circ\text{C}$ 

Signal	Symbol	Parameter	VDD = 4.5 to 5.5V		VDD = 2.7 to 4.5V		Unit	Condition
			min	max	min	max		
	tr	Rise time	—	30	—	40	ns	CL = 100 pF
	tf	Fall time	—	30	—	40	ns	
XSCL	tcX	Shift clock cycle time	4tc	—	4tc	—	ns	
	twX	XSCL clock pulsewidth	2tc – 60	—	2tc – 60	—	ns	
XD0 to XD3	tdH	X data hold time	2tc – 50	—	2tc – 50	—	ns	
	tDS	X data setup time	2tc – 100	—	2tc – 105	—	ns	
LP	tLS	Latch data setup time	2tc – 50	—	2tc – 50	—	ns	
	twL	LP pulsewidth	4tc – 80	—	4tc – 120	—	ns	
	tLD	LP delay time from XSCL	0	—	0	—	ns	
WF	tDF	Permitted WF delay	—	50	—	50	ns	
YD	tDHY	Y data hold time	2tc – 20	—	2tc – 20	—	ns	

## 8、直流特性 (VDD=2.84V)

Unless otherwise specified,  $V_{SS} = 0\text{ V}$ ,  $V_{DD} = 3.0\text{ V} \pm 10\%$ ,  $T_a = -40$  to  $85^\circ\text{C}$ 

Item	Symbol	Condition	Rating			Units	Applicable Pin		
			Min.	Typ.	Max.				
Operating Voltage (1)	VDD		1.8	—	3.3	V	VSS*1		
Operating Voltage (2)	VDD2	(Relative to VSS)	2.4	—	3.3	V	VSS		
High-level Input Voltage	VIHC		$0.8 \times V_{DD}$	—	VDD	V	*3		
Low-level Input Voltage	VILC		VSS	—	$0.2 \times V_{DD}$	V	*3		
High-level Output Voltage	VOHC	IOH = -0.5 mA	$0.8 \times V_{DD}$	—	VDD	V	*4		
Low-level Output Voltage	VOLC	IOL = 0.5 mA	VSS	—	$0.2 \times V_{DD}$	V	*4		
Input leakage current	ILI	VIN = VDD or VSS	-1.0	—	1.0	$\mu\text{A}$	*5		
Output leakage current	ILO	VIN = VDD or VSS	-3.0	—	3.0	$\mu\text{A}$	*6		
Liquid Crystal Driver ON Resistance	RON	Ta = 25°C = V0 = 13.0 V	—	2.0	3.5	K $\Omega$	SEGn COMn *7		
		(Relative To VDD) V0 = 8.0 V	—	3.2	5.4				
Static Consumption Current	ISSQ	V0 = 13.0 V (Relative To VDD)	—	0.01	2	$\mu\text{A}$	VDD, VDD2		
Output Leakage Current	ISQ		—	0.01	10	$\mu\text{A}$	V0		
Input Terminal Capacitance	CIN	Ta = 25°C, f = 1 MHz	—	5.0	8.0	pF			
Oscillator Frequency	Internal Oscillator	fOSC	1/65 duty 1/33 duty	Ta = 25°C	17	20	24	kHz	*8
	External Input	fCL			17	20	24	kHz	CL
	Internal Oscillator	fOSC	1/49 duty 1/53 duty 1/55 duty	Ta = 25°C	25	30	35	kHz	*8
	External Input	fCL			25	30	35	kHz	CL

## 9、引脚描述

接口定义:

引脚编号	引脚名称	方向	引脚功能描述
1	VSS	I	逻辑电源地(0V)
2	VDD	I	逻辑电源正(+3.3V/5V)
3	VO	I	LCD 驱动电压输入端, 接电位器可调端
4	/WR	I	当定义为 6800 接口时为读/写控制脚(R/W): R/W=H: 读操作; R/W=L: 写操作 当定义为 8080 接口时为写入控制脚(/WR), L 有效
5	/RD	I	当定义为 6800 接口时为使能控制脚(E) 当定义为 8080 接口时为读控制脚(/RD), L 有效
6	/CS	I	片选择信号, 低电平时有效
7	AO	I	数据/指令选择: 低电平: DB0-DB7 为显示数据 高电平: DB0-DB7 为操作指令
8	/RST	I	复位信号, 低电平有效
9	DB0	I/O	数据输入输出引脚
10	DB1	I/O	数据输入输出引脚
11	DB2	I/O	数据输入输出引脚
12	DB3	I/O	数据输入输出引脚
13	DB4	I/O	数据输入输出引脚
14	DB5	I/O	数据输入输出引脚
15	DB6	I/O	数据输入输出引脚
16	DB7	I/O	数据输入输出引脚
17	NC	-	悬空
18	VEE	O	负电压输出端, 接电位器一端
19	LED+	I	背光电源正 (+3.3V/5V)
20	LED-	I	背光电源地 (0V)

## 10、命令描述

### 指令表:

Class	Command	Code												Hex	Command Description	Command Read Parameters	
		$\overline{RD}$	$\overline{WR}$	A0	D7	D6	D5	D4	D3	D2	D1	D0	No. of Bytes			Section	
System control	SYSTEM SET	1	0	1	0	1	0	0	0	0	0	0	40	Initialize device and display	8	8.2.1	
	SLEEP IN	1	0	1	0	1	0	1	0	0	1	1	53	Enter standby mode	0	8.2.2	
Display control	DISP ON/OFF	1	0	1	0	1	0	1	1	0	0	D	58, 59	Enable and disable display and display flashing	1	8.3.1	
	SCROLL	1	0	1	0	1	0	0	0	1	0	0	44	Set display start address and display regions	10	8.3.2	
	CSRFORM	1	0	1	0	1	0	1	1	1	0	1	5D	Set cursor type	2	8.3.3	
	CGRAM ADR	1	0	1	0	1	0	1	1	1	0	0	5C	Set start address of character generator RAM	2	8.3.6	
	CSRDIR	1	0	1	0	1	0	0	1	1	CD 1	CD 0	4C to 4F	Set direction of cursor movement	0	8.3.4	
	HDOT SCR	1	0	1	0	1	0	1	1	0	1	0	5A	Set horizontal scroll position	1	8.3.7	
	OVLAY	1	0	1	0	1	0	1	1	0	1	1	5B	Set display overlay format	1	8.3.5	
Drawing control	CSRW	1	0	1	0	1	0	0	0	1	1	0	46	Set cursor address	2	8.4.1	
	CSRR	1	0	1	0	1	0	0	0	1	1	1	47	Read cursor address	2	8.4.2	
Memory control	MWRITE	1	0	1	0	1	0	0	0	0	1	0	42	Write to display memory	—	8.5.1	
	MREAD	1	0	1	0	1	0	0	0	0	1	1	43	Read from display memory	—	8.5.2	

### 指令介绍:

1、SYSTEM SET 指令代码: 40H

该指令是 SED1330/SED1335 软件初始化指令,在 MPU 操作 SED1330/SED1335 及其控制的液晶显示模块时,必须首先要定入这条指令,如果该指令设置出现错误,则显示必定不正常。该指令带有 8 个参数。

P1	0	0	IV	1	W/S	M2	M1	M0
----	---	---	----	---	-----	----	----	----

IV: 调整负向显示字符时的屏面边界,通常 W=1。

W/S: 驱动器系统配置。W/S=0 为单屏结构 LCD 的驱动系统; W/S=1 为双屏结构 LCS 驱动系统。

M2: 选择外部字符发生器 CGRAM 的字符点阵格式:

M2=0: 8X8 点阵字体; M2=1: 8X16 点阵字体。

M1: 选择外部字符发生器 CGRAM 的字符代码范围;

M1=0 选择 80H-9FH 范围字符代码; M1=1 选择 80H-9FH 和 E0H-FFH 两个范围的字。

M0: 内、外字符发生器的选择;

M0=0 为内部字符发生器有效; M0=1 为外部字符发生器有效,此时内部字符发生器被屏蔽,字符代码全部供给外部字符发生器。

P2	WF	0	0	0	0		FX	
----	----	---	---	---	---	--	----	--

WF: 选择驱动的交流驱动波形,通常 WF=1。

FX: 显示字符的宽度,FX=字符宽+字间距,FX=0-7H。

P3	0	0	0	0		FY		
----	---	---	---	---	--	----	--	--

FY: 显示字符的高度,FY=字符高于行间距,FY=0-FH。

P4				C/R				
----	--	--	--	-----	--	--	--	--

C/R: 设置有效显示窗口的长度,C/R 表示在 LCD 上有效显示的字符数。比如 LCD 一行能显示 30 个字符,C/R 设置为 25,则 LCD 一行左起显示 25 个字符,而后 5 个字符位置为空白,C/R 取值在 00H-EFH。

P5				TC/R				
----	--	--	--	------	--	--	--	--

TC/R: 将晶振频率  $f_{osc}$  转换成 LCD 工作频率的时间常数,

TC/R, 由公式:  $f_{osc} \geq TC/R \times 9XL/FXFR$   $TC/R \geq C/R+4$

联合求解,其中 L/F 为扫描点行数;FR 为 LCD 驱动频率,通常 FR=70HZ。

P6				L/F				
----	--	--	--	-----	--	--	--	--

L/F: LCD 的点行数,取值在 00-FFH 范围内。

P7				APL				
----	--	--	--	-----	--	--	--	--

P8				APH				
----	--	--	--	-----	--	--	--	--

AP: 显示屏一行所占显示缓冲区的字节数。通常取:

AP=C/R+1, AP 为又字节参数: APH 高 8 位, APL 低 8 位。

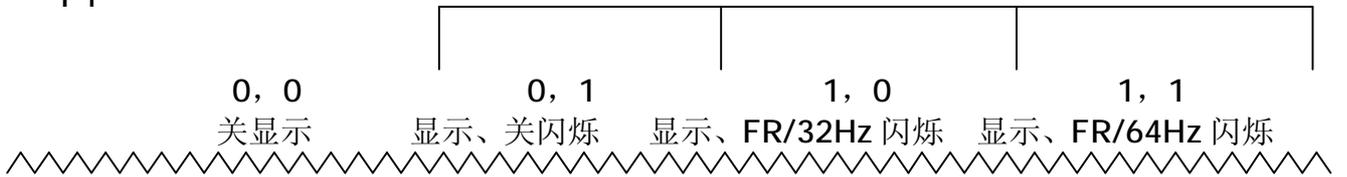
## 2、SLEEP IN, 指令代码: 53H

空闲状态设置,SED1330/SED1335 在空闲状态下关闭显示驱动电源及其信号,保存所有状态码,保护显示 RAM 区,处于低功耗休眠状态,仅在 SYSTEMSET PT 写入后 SED1330/SED1335 才重新启动正常工作。

## 3、DISP ON/OFF 指令代码: 59H/58H

FP5	FP4	FP3	FP2	FP1	FP0	FC1	FC0
← 第三显示区 →	← 第二、四显示 →	← 第一显示区 →	← 光标 →				

P1



该指令用于开（59H）关（58H）显示，并在参数 P1 规定各显示区及光标的显示方式，在关显示状态下 RAM 区的内容不变。

#### 4、SCROLL，指令代码：44H

该指令设置了显示 RAM 区中各显示区的起始地址及所占有的显示行数。它与 SYSTEMSET 中 AP 参数结合，将可确定显示区所占的字节数。它与 SYSTEMSET 中 AP 参结合，将可确定显示区所占的字节数。该指令带有 10 个参数。

P1 SAD1L

P2 SAD1H

P3 SL1

这一组确定了第一显示区的首地址 SAD1 及其占有显示屏上的点行数 SL1

P4 SAD1L

P5 SAD1H

P6 SL1

这一组确定了第二显示区的首地址 SAD2 及其占有显示屏上的点行数 SL2

P7 SAD3L

P8 SAD3H

P9 SAD4L

P10 SAD4H

P7 和 P8 确定第三显示区的起始地址 SAD3，（仅在又屏结构时）P9 和 P10 设置第四显示区的首地址 SAD4。

	1	2	C/R				
1	SAD	SAD+1	.....	SAD+C/R	SAD+C/R+1	..... SAD+AP-1	
2	SAD+AP	SAD+AP+1	.....	SAD+AP+C/R	SAD+AP+C/R+1	..... SAD+2×AP-1	
3	SAD+2×AP						
		← 有效显示 →			← 不显示 →		
← AP 显示行占用单元 →							

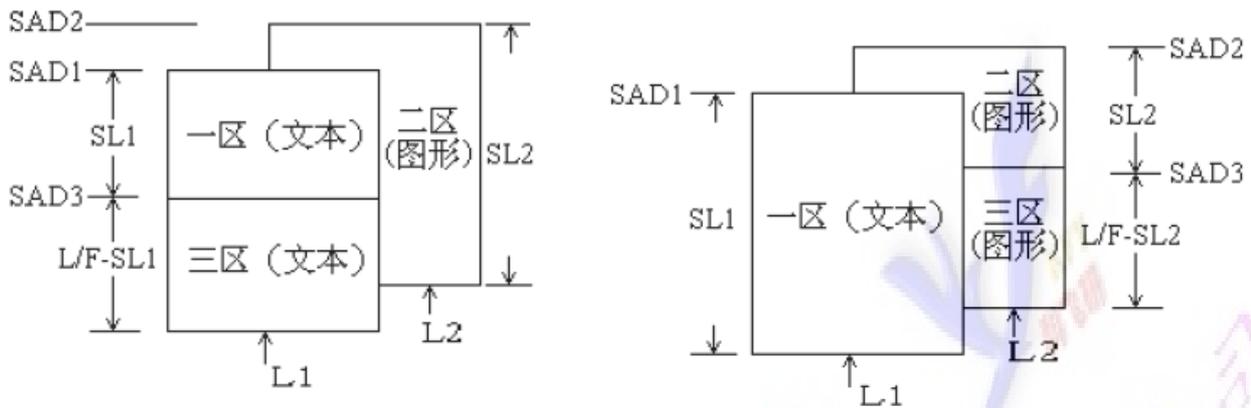
在文本显示方式下显示位为 FX×FY 点阵块，在图形显示方式下显示位为 8×1 点阵块，显示行在文本方式下为一字符行，在图形方式下则为一行。

有 SCROLL 指令分配的四个显示区在显示屏上组成的显示画面分文本方式和图形方式；

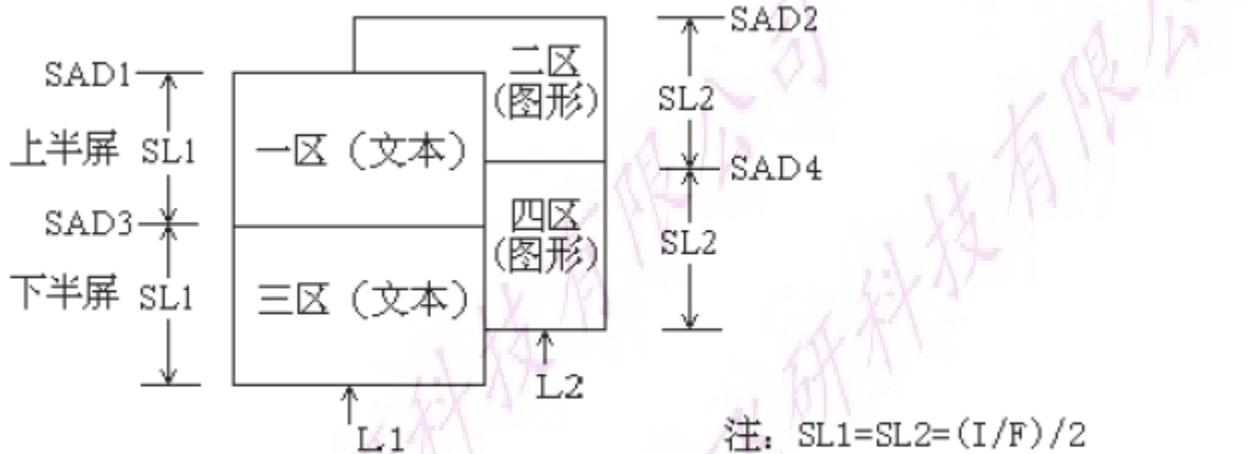
(1) 文本方式

双重合成显示的实现

①、单屏液晶显示器件显示合成 (W/S=0)



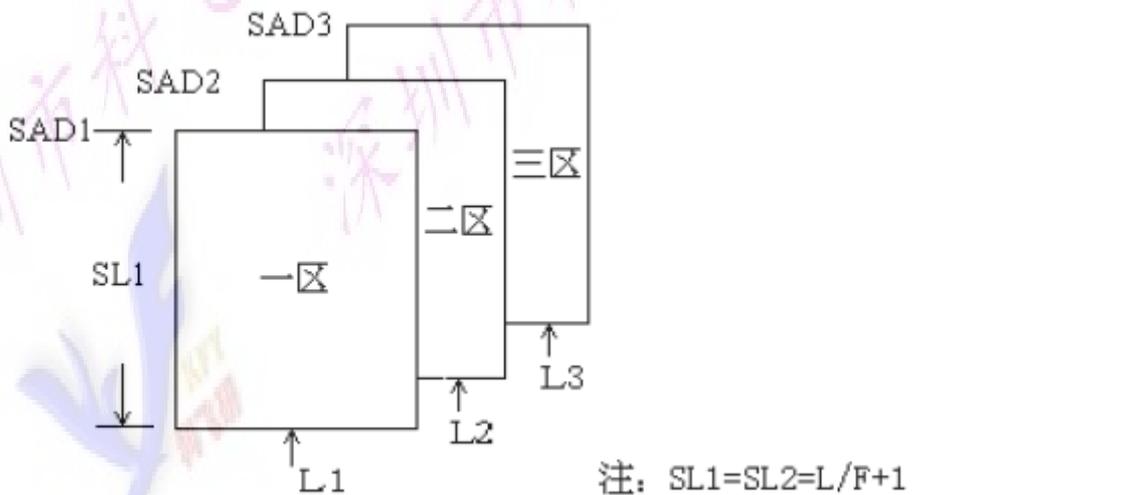
②、双屏液晶显示器件显示合成 (W/S=1)



(2) 图形方式

①、单屏液晶显示合成 (W/S=0)

双重合成显示方式显示分配同文本方式, 但 L 为图形方式。三重合成显示方式为:



5、CSRFORM 指令代码: 5DH

该指令设置了光标的显示方式及其形状, 有两个参数。

P1	0	0	0	0	0	CRX
----	---	---	---	---	---	-----

P2	CM	0	0	0	CRY
----	----	---	---	---	-----

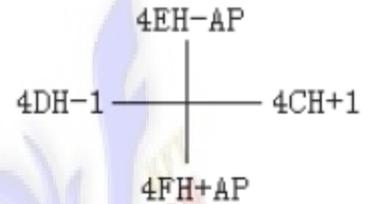
CRX: 光标的水平点列数, 在 0—7H 范围内取值。

CRY: 光标的水平点列数, 在 1—FH 范围内取值。CRY=0 和 CRY > FY 均无效。

**CM:** 设置光标显示方式。**CM=1**（仅在文本方式下有效）：光标是阴影块状显示方式，阴影块大小由 **CRX**×**CRY** 确定；**CM=0**：光标为底线显示方式，底线光标位置由 **CRY** 确定。

#### 6. CSPDIR 指令代码：4C/4D/4E/4FH

该指令规定了光标地址指针自动移动的方向。**SED1330/SED1335** 所控制的光标地址指针实际也是当前显示 **RAM** 的地址指针。**SED1330/SED1335** 在执行完读/写据操作后，将自动修改光标地址指针。这种修改有四个方向。这是很多液晶显示控制器所没有的。



#### 7. OYLAY 指令代码：5BH 一个参数。

P1	0	0	0	OV	DM2	DM1	MX1	MX0
----	---	---	---	----	-----	-----	-----	-----

其中：

**DM1:** 显示一区（**SAD1**）的属性：**DM1=0**，文本方式；**DM1=1**，图形方式

**DM2:** 显示二区（**SAD3**）的属性：**DM2=0**，文本方式；**DM2=1**，图形方式

**OV:** 合成方式：

**MX1, MX2:**

0	0	或逻辑
0	1	异或逻辑
1	0	与逻辑
1	1	优先迭加

#### 8. CGRAMADR 指令代码：5CH

该指令设置 **CGRAM** 的起始地址：**SAG**。**CGRAM** 是用户自定义字符库。但 **SAG** 仅是相对地址，实际 **CGRAM** 地址应由下列公式确定：

**SAG:** (**CGRAM** 逻辑地址) **A15 A14 A12 A11 A10 A9 A8 A7 A6 A5 A4 A3 A2 A1**  
 字符代码 **D7 D6 D5 D4 D3 D2 D1 D0**  
 行地址指数十) **R2 R1 R0**

**V15 V14 V12 V11 V10 V9 V8 V7 V6 V5 V4 V3 V2 V1 V0**

自定义字符代码为 **80H—9FH** 和 **EOH—FFH**。在 **SED1330/SED1335** 控制部中，对 **EOH—FFH**。在 **SED1330/SED1335** 控制部中，对 **EOH—FFH** 字符代码作了与 **40H** 异或的逻辑运算，从而转换成 **A0H—BFH**。因此 **80H-9FH** 和 **EOH—FFH** 两个参数：

P1	SAGL						
----	------	--	--	--	--	--	--

P2	SAGH						
----	------	--	--	--	--	--	--

#### 9. HDOTSET 指令代码：5AH

该指令设置以点为单位的显示画面水平移动量，相当于一个字节内的卷动（**SCROLL**），该指令带一个参数：

P1	0	0	0	0	0	D
----	---	---	---	---	---	---

其中：**D=0—7H**。当 **D** 由 **0H** 有规律地递增至 **7H** 时，显示左移；

当 **D** 由 **7H** 有规律地递减至 **0H** 时，显示右移。

#### 10. CSRW 指令代码：46H

该指令设置了光标地址 **CSR**。该地址有两个功能：一是作为显示屏上光标显示的当前位置，二是作为显示缓冲区的当前地址指针。如果光标地址值超出了显示屏所对应的地址范围，光标将消失。光标地址在读、写数据操作后将根据 **CSRDR** 指令的设置自动修改。光标地址不受卷动操作的影响。该指令带有两个参数。

P1	CSRL						
P2	CSRH						

**11、CSRR 指令代码：47H**

该指令读出当前的光标地址值。在指令写入后，MPU 使用两次读数据操作，就可以把 CSRL 和 CSRH 依次读出。

**12、MWRTE 指令代码：42H**

该指令允许 MPU 连续地把显示数据写入显示区内，在使用指令之前要首先设置好光标地址和光标移动方向的参数。在写入数据后，光标地址即根据光标移动方向参数自动修改光标地址。写功能将在下一条指令代码写入时中止。

**13、MREAD 指令代码：43H**

该指令输入后，SED1330/SED1335 将光标地址所确定的单元内的数据送至数据输出缓冲器内供 MPU 读取。同时光标地址根据光标移向参数自动修改。读功能将在下一条指令代码输入时中止。



## 1、附录

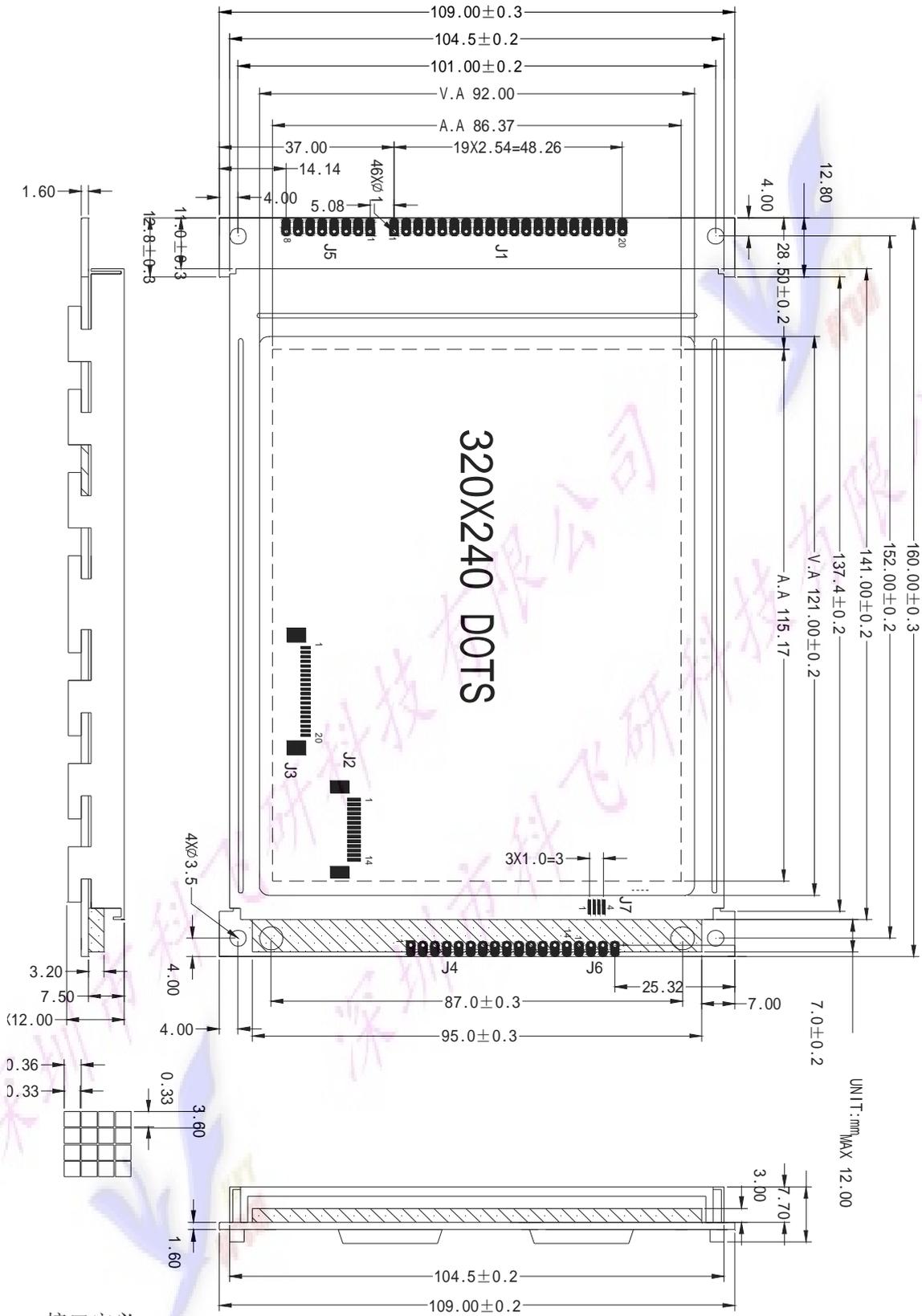
### 初始化程序参考:

```

//初始化
void init_lcd (void)
{
uchar i;
rst=1;
cs=0;
send_cmd(0x40);          //WRITE SYSTEMSIET 指令和参数
for(i=0;i<8;i++)
    send_dat(systab[i]);
send_cmd(0x44);          //WRITE SCROLL 指令和参数
for(i=0;i<10;i++)
    send_dat(scrtab[i]);
send_cmd(0x5a);          //显示画面水平移动量:00--07 点
send_dat(0x00);
send_cmd(0x5b);          //显示属性:DM1(DM2)=0,文本方式;DM1(DM2)=1,图形
                           方式;OV=1,三重合成;OV=0,两重合成
send_dat(0x08);
send_cmd(0x5d);
send_dat(0x07);
send_dat(0x8f);
send_cmd(0x4c);          //光标自动移动方向--向右
send_cmd(0x59);          //DISP ON
send_dat(0x56);
}

```

(2)、模块外形图



接口定义

1	2	3	4	5	6	7	8	9	10
VSS	VDD	VO	/WR	/RD	/CS	AO	/RST	DB0	DB1
11	12	13	14	15	16	17	18	19	20
DB2	DB3	DB4	DB5	DB6	DB7	NC	VEE	LED+	LED-